

日 本 国 特 許 庁
JAPAN PATENT OFFICE

OLD
461886/60
S. U. S. PAT.
11/19/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年11月20日

出 願 番 号
Application Number:

特願2000-352360

出 願 人
Applicant(s):

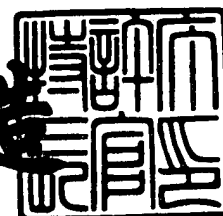
日本ビクター株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 9月 6日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3082388

【書類名】 特許願

【整理番号】 412001246

【提出日】 平成12年11月20日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 7/01
H04N 7/015
H04N 5/46
H04N 5/45

【発明者】

【住所又は居所】 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

【氏名】 湯上 昌郁

【特許出願人】

【識別番号】 000004329

【氏名又は名称】 日本ビクター株式会社

【代表者】 守随 武雄

【電話番号】 045-450-2423

【手数料の表示】

【予納台帳番号】 003654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 映像信号処理装置及び映像信号表示装置

【特許請求の範囲】

【請求項 1】

有効走査線数 480 本のインターレース信号である第 1 の映像信号と、有効走査線数 1080 本のインターレース信号である第 2 の映像信号と、有効走査線数 480 本のプログレッシブ信号である第 3 の映像信号と、有効走査線数 720 本のプログレッシブ信号である第 4 の映像信号とを処理する映像信号処理装置において、

前記第 1～第 4 の映像信号を、有効走査線数 1440 本のプログレッシブ信号である第 5 の映像信号に変換して出力するよう構成したことを特徴とする映像信号処理装置。

【請求項 2】

前記第 5 の映像信号をインターレース信号に変換して第 6 の映像信号として出力するプログレッシブ-インターレース変換部を備えて構成したことを特徴とする請求項 1 記載の映像信号処理装置。

【請求項 3】

前記第 1、第 2 の映像信号をプログレッシブ信号に変換するインターレース-プログレッシブ変換部と、

前記インターレース-プログレッシブ変換部によってプログレッシブ信号に変換された第 1 の映像信号及び前記第 3 の映像信号の走査線数を $6/2$ 倍に変換して、前記第 5 の映像信号を出力する $6/2$ 変換器と、

前記第 4 の映像信号の走査線数を $2/1$ 倍に変換して、前記第 5 の映像信号を出力する $2/1$ 変換器と、

前記インターレース-プログレッシブ変換部によってプログレッシブ信号に変換された第 2 の映像信号の走査線数を $4/3$ 倍に変換して、前記第 5 の映像信号を出力する $4/3$ 変換器とを備えて構成したことを特徴とする請求項 1 または 2 に記載の映像信号処理装置。

【請求項 4】

有効走査線数 4 8 0 本のインターレース信号である第 1 の映像信号と、有効走査線数 1 0 8 0 本のインターレース信号である第 2 の映像信号と、有効走査線数 4 8 0 本のプログレッシブ信号である第 3 の映像信号と、有効走査線数 7 2 0 本のプログレッシブ信号である第 4 の映像信号とを表示する映像信号表示装置において、

前記第 1 ～第 4 の映像信号を、有効走査線数 1 4 4 0 本のプログレッシブ信号である第 5 の映像信号に変換して表示するよう構成したことを特徴とする映像信号表示装置。

【請求項 5】

前記第 1、第 2 の映像信号をプログレッシブ信号に変換するインターレース—プログレッシブ変換部と、

前記インターレース—プログレッシブ変換部によってプログレッシブ信号に変換された第 1 の映像信号及び前記第 3 の映像信号の走査線数を $6/2$ 倍に変換して、前記第 5 の映像信号を出力する $6/2$ 変換器と、

前記第 4 の映像信号の走査線数を $2/1$ 倍に変換して、前記第 5 の映像信号を出力する $2/1$ 変換器と、

前記インターレース—プログレッシブ変換部によってプログレッシブ信号に変換された第 2 の映像信号の走査線数を $4/3$ 倍に変換して、前記第 5 の映像信号を出力する $4/3$ 変換器とを備えて構成したことを特徴とする請求項 4 記載の映像信号処理装置。

【請求項 6】

有効走査線数 4 8 0 本のインターレース信号である第 1 の映像信号と、有効走査線数 1 0 8 0 本のインターレース信号である第 2 の映像信号と、有効走査線数 4 8 0 本のプログレッシブ信号である第 3 の映像信号と、有効走査線数 7 2 0 本のプログレッシブ信号である第 4 の映像信号とを表示する映像信号表示装置において、

前記第 1 ～第 4 の映像信号を、有効走査線数 1 4 4 0 本のインターレース信号である第 5 の映像信号に変換して表示するよう構成したことを特徴とする映像信号表示装置。

【請求項 7】

前記第 1、第 2 の映像信号をプログレッシブ信号に変換するインターレース・プログレッシブ変換部と、

前記インターレース・プログレッシブ変換部によってプログレッシブ信号に変換された第 1 の映像信号及び前記第 3 の映像信号の走査線数を $6/2$ 倍に変換して、有効走査線数 1 4 4 0 本のプログレッシブ信号である第 6 の映像信号を出力する $6/2$ 変換器と、

前記第 4 の映像信号の走査線数を $2/1$ 倍に変換して、前記第 6 の映像信号を出力する $2/1$ 変換器と、

前記インターレース・プログレッシブ変換部によってプログレッシブ信号に変換された第 2 の映像信号の走査線数を $4/3$ 倍に変換して、前記第 6 の映像信号を出力する $4/3$ 変換器と、

前記第 6 の映像信号をインターレース信号に変換して前記第 5 の映像信号として出力するプログレッシブ・インターレース変換部とを備えて構成したことを特徴とする請求項 6 記載の映像信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のフォーマットの映像信号を表示するのに好適な映像信号処理装置及び映像信号表示装置に関する。

【0002】

【従来の技術】

近年、テレビジョン受像機等の映像信号表示装置においては、デジタル放送の開始に伴って、複数のフォーマットの映像信号を表示する必要性が生じている。映像信号のフォーマットとしては、有効走査線数 4 8 0 本のインターレース (4 8 0 i)、有効走査線数 1 0 8 0 本のインターレース (1 0 8 0 i)、有効走査線数 4 8 0 本のプログレッシブ (4 8 0 p)、有効走査線数 7 2 0 本のプログレッシブ (7 2 0 p) がある。

【0003】

これらのフォーマットにおいては、垂直周波数は同一であるが、1フィールド当たりの有効走査線数は、480iでは480/2本、1080iでは1080/2本、480pでは480本、720pでは720本と、それぞれ異なっている。一方、水平周波数は、480iでは15.75kHz、1080iでは33.75kHz、480pでは31.5kHz、720pでは45kHzと、それぞれ異なっている。

【0004】

映像信号表示装置において、これらの複数のフォーマットの映像信号を全て表示しようとした場合、映像信号表示装置の水平同期を、15.75kHz、33.75kHz、31.5kHz、45kHzで切り換えることが考えられる。この場合、映像信号表示装置は、4種類の水平同期に対応させなければならない。480iの映像信号をインターレースプログレッシブ(I-P)変換によって480pの映像信号とすれば、3種類の水平同期に対応させればよい。これでも3種類の水平同期に対応させる必要があるので、映像信号表示装置に表示するフォーマットとして、1080iに統一することも検討されている。

【0005】

【発明が解決しようとする課題】

上記のように、映像信号表示装置において複数のフォーマットの映像信号に対応させるには、例えば陰極線管(CRT)を用いた表示装置の場合では、フォーマット毎にCRTの同期を変更する必要があり、偏向回路にて大きな電圧変動が生じて偏向回路に大きな負荷がかかる。CRTを用いない表示装置においても、複数のフォーマットの映像信号に対応させることは、駆動回路にとって大きな負担となる。

【0006】

また、フォーマットが切り替わるたびに同期を取り直さなければならないので、品位上の問題から、画面上の映像の表示を一時的にマスク(ブランキング)する必要がある。よって、映像信号表示装置の制御動作が煩雑化すると共に、一時的に映像が表示されないという不具合を招くこととなる。このように、映像信号表示装置において複数のフォーマットの映像信号に対応させることは、各種の不

具合を招いてしまう。

【0007】

そこで、これらの問題点を解決するには、映像信号表示装置に表示するフォーマットを1080iに統一すればよい。しかしながら、フォーマットを1080iに統一すると、次のような不具合がある。480iを1080iに変換すると、走査線数は9/4倍となり、720pを1080iに変換すると、走査線数は3/4倍となる。従って、フォーマットを1080iに統一すると、フォーマット変換の処理として、走査線数の拡大と縮小とが混在することになり、フォーマット変換の処理回路を構成する補間フィルタのハードウェア規模が大きくなってしまう。

【0008】

本発明はこのような問題点に鑑みなされたものであり、複数のフォーマットの映像信号を、ハードウェア規模の小さな補間フィルタで、単一のフォーマットに変換することができる映像信号処理装置及び映像信号表示装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明は、上述した従来の技術の課題を解決するため、次の構成を提供する。

(a) 有効走査線数480本のインターレース信号である第1の映像信号と、有効走査線数1080本のインターレース信号である第2の映像信号と、有効走査線数480本のプログレッシブ信号である第3の映像信号と、有効走査線数720本のプログレッシブ信号である第4の映像信号とを処理する映像信号処理装置において、前記第1～第4の映像信号を、有効走査線数1440本のプログレッシブ信号である第5の映像信号に変換して出力するよう構成したことを特徴とする映像信号処理装置。

(b) 有効走査線数480本のインターレース信号である第1の映像信号と、有効走査線数1080本のインターレース信号である第2の映像信号と、有効走査線数480本のプログレッシブ信号である第3の映像信号と、有効走査線数720本のプログレッシブ信号である第4の映像信号とを表示する映像信号表示装置

において、前記第 1 ～ 第 4 の映像信号を、有効走査線数 1 4 4 0 本のプログレッシブ信号である第 5 の映像信号に変換して表示するよう構成したことを特徴とする映像信号表示装置。

(c) 有効走査線数 4 8 0 本のインターレース信号である第 1 の映像信号と、有効走査線数 1 0 8 0 本のインターレース信号である第 2 の映像信号と、有効走査線数 4 8 0 本のプログレッシブ信号である第 3 の映像信号と、有効走査線数 7 2 0 本のプログレッシブ信号である第 4 の映像信号とを表示する映像信号表示装置において、前記第 1 ～ 第 4 の映像信号を、有効走査線数 1 4 4 0 本のインターレース信号である第 5 の映像信号に変換して表示するよう構成したことを特徴とする映像信号表示装置。

【 0 0 1 0 】

【発明の実施の形態】

以下、本発明の映像信号処理装置及び映像信号表示装置について、添付図面を参照して説明する。図 1 は本発明の映像信号処理装置及び映像信号表示装置の一実施例を示すブロック図、図 2 は 4 8 0 p, 7 2 0 p, 1 0 8 0 p から 1 4 4 0 p への走査線変換を示す図、図 3 は補間フィルタの構成例を示すブロック図、図 4 は 4 8 0 p, 7 2 0 p, 1 0 8 0 p から 1 4 4 0 p への走査線変換における位相のオフセットを示す図、図 5 はプログレッシブインターレース変換を示す図、図 6 はマルチ画面の表示例を示す図、図 7 は図 6 に示すマルチ画面を実現する場合の本発明の映像信号処理装置及び映像信号表示装置の一実施例を示すブロック図である。

【 0 0 1 1 】

本発明の映像信号処理装置及び映像信号表示装置は、入力された映像信号が 4 8 0 i, 1 0 8 0 i, 4 8 0 p, 7 2 0 p のいずれであっても、有効走査線数 1 4 4 0 本のインターレース (1 4 4 0 i) または有効走査線数 1 4 4 0 本のプログレッシブ (1 4 4 0 p) にフォーマット変換することを特徴とする。図 1 は 1 4 4 0 i または 1 4 4 0 p にフォーマット変換するための具体的構成を示している。

【 0 0 1 2 】

図 1 において、図示していない映像信号の供給源より供給された 480i の映像信号は、I-P 変換部 1 の I-P 変換器 11 に入力されて 480p のプログレッシブ信号に変換される。図示していない映像信号の供給源より供給された 1080i の映像信号は、I-P 変換部 1 の I-P 変換器 12 に入力されて 1080p のプログレッシブ信号に変換される。インターレース信号をプログレッシブ信号に変換するのは、フィールド内の情報量を増やし、後段の拡大縮小部 2 における拡大縮小処理をより高画質に行うためである。

【0013】

本実施例では、I-P 変換器 11, 12 においてプログレッシブ信号に変換するとしたが、実際に倍の走査線密度とするのではなく、プログレッシブ信号にするための補間データをバッファ等に保存してプログレッシブ相当の信号を生成するだけでもよい。要するに、480p, 1080p の走査線数の信号となっていればよい。

【0014】

I-P 変換器 11 より出力された 480p の信号は、拡大縮小部 2 の 6/2 変換器 21 に入力される。I-P 変換器 12 より出力された 1080p の信号は、拡大縮小部 2 の 4/3 変換器 23 に入力される。図示していない映像信号の供給源より供給された 480p の映像信号は、そのまま 6/2 変換器 21 に入力される。図示していない映像信号の供給源より供給された 720p の映像信号は、拡大縮小部 2 の 2/1 変換器 22 に入力される。

【0015】

ここで、図示していない映像信号の供給源とは、例えば、デジタルテレビジョン放送の受信部や、ビデオテープレコーダあるいはビデオディスクプレーヤ等の外部機器である。入力された映像信号のフォーマットを判別し、切換器（スイッチ）を用いて、480i であれば I-P 変換器 11 に、1080i であれば I-P 変換器 12 に、480p であれば 6/2 変換器 21 に、720p であれば 2/1 変換器 22 にそれぞれ選択的に供給する。

【0016】

拡大縮小部 2 の 6/2 変換器 21, 2/1 変換器 22, 4/3 変換器 23 は、

入力された480p, 720p, 1080pそれぞれの信号の走査線数をそれぞれ6/2倍, 2/1倍, 4/3倍して、1440pの信号に変換するためのものである。本実施例では、480p, 720p, 1080pの信号に対する処理は全て拡大であるので、縮小処理は必要ないが、種々の表示態様（縮小表示等）を考慮して、拡大縮小部と称している。図2は、480p, 720p, 1080pの信号を1440pに走査線変換する様子を示している。図2に示すように、480p, 720p, 1080pから1440pへの変換においては、走査線数はそれぞれ3倍, 2倍, 4/3倍である。

【0017】

よって、拡大縮小部2におけるフォーマット変換のための走査線変換処理は全て拡大で行われ、上述したような1080iに統一する場合のような走査線変換の際の縮小による情報欠落が全くないのである。また、6/2変換器21, 2/1変換器22, 4/3変換器23を構成する補間フィルタの補間比率は簡単な整数比であるため、フィルタ係数を簡易に構成することができる。よって、6/2変換器21, 2/1変換器22, 4/3変換器23のハードウェア規模はさほど大きくならない。

【0018】

これについて1080iに統一した場合と比較して具体的に説明する。それぞれのフォーマットにおける補間位相、即ち、入力信号に対する1440pの位置は、

$$480p \rightarrow \{0, 1/3, 2/3\}$$

$$720p \rightarrow \{0, 1/2\}$$

$$1080p \rightarrow \{0, 3/4, 1/2, 1/4\}$$

となり、拡大縮小部2は、それぞれの補間位相分の補間フィルタを備えればよい。

【0019】

一方、1080iに統一した場合の場合には、

$$480p \rightarrow \{0, 4/9, 8/9, 3/9, 5/9, 2/9, 6/9, 1/9\}$$

$$720p \rightarrow \{0, 2/3, 1/3\}$$

となり、1440pに統一した場合と比較して非常に多くの補間位相が発生してしまう。

【0020】

1440pに統一した場合には、上記のように、6組の補間フィルタで拡大縮小部2を構成することができるため、補間フィルタとして、乗算器を用いなくても加算器を用いるだけで精度よく小規模で実現することが可能である。一方、1080pに統一した場合には、10組もの補間フィルタを必要とするので、演算精度が高くフィルタ係数の自由度が大きい乗算器を用いた構成とすることが必要となる。よって、ハードウェア規模が大きくなる。これに加え、分母に9という位相を持つため補間精度も悪くなってしまう。

【0021】

図3を用いて、本発明によりハードウェア規模を小さくできることについて説明する。図3では、係数 $\{1/2, 1/2\}$ の補間フィルタを例にしている。図3(A)と図3(B)とで、同一機能部分には同一符号が付してある。図3(A)は、補間フィルタを遅延器4と加算器5とで構成した場合を示している。なお、図3(A)の加算器5は $1/2$ 加算器である。この図3(A)に示す補間フィルタと同等のフィルタは、図3(B)に示すように、遅延器4と加算器5と乗算器6、7でも実現することができる。なお、乗算器6、7は入力信号を $1/2$ 倍にして出力するものである。

【0022】

図3(B)に示す構成で演算精度を図3(A)と同一にした場合、ハードウェア規模は33倍程度必要となる。なぜならば、入力信号を8ビットとすると、入力信号8ビット×係数8ビットの乗算器は加算器が16個必要であるからである。なお、図3(A)の構成は係数に自由度はないが、ビット精度内で自由に係数を与えることができる。

【0023】

このように、フォーマットを1440pに統一する本発明においては、拡大縮小部2の補間フィルタを加算器で実現できるので、ハードウェア規模を小さくすることができる。また、たとえ1080pに統一する場合において補間フィルタ

を加算器で実現したとしても、1440pに統一する本発明の方がハードウェア規模は小さくなる。このように、フォーマットを1440pに統一する本発明では、1080pに統一する場合よりもそもそもハードウェア規模を小さくすることができ、補間フィルタを加算器で構成することもできるため、さらにハードウェア規模を小さくすることができるのである。

【0024】

また、本発明では、高精度で画質劣化の少ない補間が可能である。1080pに統一する場合のように補間フィルタの位相が多岐に渡る場合、位相によって画質に大きな差が生じるため、結果として画質劣化を伴うこととなる。これは、位相が0または1の近傍が最も原信号に近い成分を保存し、周辺原信号を混合する位相1/2の近傍が最も高域成分が落ちるためである。1つの画像の中に多くの補間位相が存在すると、高域成分の有無により補間縞を発生してしまう。従って、多くの補間位相が必要となる1080p（1080iも同様）への変換と比較して、少ない補間位相でよい1440p（1440iも同様）への変換は、画質劣化が少なく、高画質となる。

【0025】

ところで、図2において、480p、720p、1080pから1440pへの走査線変換の補間位相について説明したが、原画素をそのまま出力することになる位相0の出力画素は、他の補間画素に比べて高帯域成分を持ってしまう。そこで、拡大縮小部2における走査線変換処理は、図4に示すように、補間位相を一律にオフセットさせるようにする。補間位相をずらすことにより、ラインフリッカ等の画質劣化を防ぐことができる。図4のように補間位相をずらすことは、補間フィルタの係数を適宜に設定することによって容易に実現できる。

【0026】

なお、図4のように補間位相をずらすことによって画質のシャープさが多少失われたとしても、1440pまたは1440iの信号とした後に高域成分を補償するエンハンサ等によって画質を制御することが可能であるので、問題となることはない。

【0027】

再び図1に戻り、拡大縮小部2より出力された1440pの信号は、プログレッシブインターレース(P-I)変換部3に入力される。なお、本発明の映像信号処理装置が1440pの信号を出力したり、本発明の映像信号表示装置が1440pの信号を表示する場合には、P-I変換部3は不要となる。本実施例では、最終的に1440iの信号を出力する場合について示す。P-I変換部3は、入力された1440pの信号をインターレース変換して1440iの信号を出力する。

【0028】

即ち、図5に示すように、1440pの信号の走査線を2本の走査線毎に1本間引き、フィールド毎にその間引き位相を1走査線分(1ライン)オフセットさせる。これにより、1440pのプログレッシブ信号は、第1フィールド及び第2フィールドとでインターレースした1440iのインターレース信号となる。1440iの信号は、映像信号処理装置から外部へと出力されたり、映像信号表示装置のCRT等の表示部にて表示される。なお、映像信号表示装置の場合には、P-I変換部3の出力は、表示部を駆動するための駆動回路に供給され、駆動回路が表示部を駆動して映像を表示する。

【0029】

表示部としてCRTを用いた映像信号表示装置の場合、720pの信号を表示することができる偏向回路をベースとして用い、垂直偏向の位相を信号処理の出力位相に合わせてオフセットして1440iの信号を表示すればよい。よって、本発明の映像信号表示装置は、既存の駆動回路(偏向回路等)を若干改良するだけで実現することができる。インターレース対応のドットマトリクス型の表示装置であっても、信号処理の出力フィールドに合わせて信号を書き込むことにより、1440iの信号を表示することができる。よって、本発明の映像信号表示装置は、大幅なコストアップなく実現可能である。

【0030】

さらに、I-P変換部1において、前述のように、入力された480iまたは1080iの信号を実際に倍の走査線密度とするのではなく、プログレッシブ相当の信号を生成するだけとした場合には、次のような利点を有する。この場合、

拡大縮小部2以降の回路は、720pフォーマットと同等の74.25MHzのクロックレートで全ての処理がなされることになる。1080iフォーマットのクロックも720pと同じ74.25MHzであるから、信号処理上、上720p、1080i、1440iの信号を同一クロックで処理することができる。

【0031】

このように、クロックを統一した場合には、水平周期や水平有効画素は720pと同等の1280画素となる。1080iの水平有効画素は1920画素であるから、74.25MHzで処理すると水平有効画素は本来の1920画素から1280画素に減るが、民生のテレビジョン受像機やドットマトリクス型の表示装置においては実用上、1280画素もあれば十分である。勿論、1440iに変換した際の水平有効画素を1920画素とするよう、P-I変換部3の出力のクロックレートを増やしてもよい。

【0032】

以上のようにして、本発明の映像信号処理装置及び映像信号表示装置においては、映像信号のフォーマットを1440i（または1440p）に統一したので、ハードウェア規模の小さな補間フィルタで、単一のフォーマットに変換することが可能となる。本発明は、この基本的な効果に加え、次のように、マルチ画面を極めて高画質に表示することができるという効果も奏する。図6及び図7を用いてマルチ画面を表示する場合について説明する。

【0033】

図6(A)は、アスペクト比16:9の画面の左端部に、1440iのアスペクト比4:3の画面①を表示し、その残りの部分に、480iのアスペクト比4:3の画面②～④を表示した場合を示している。1440iのフォーマットは、480i×3であるから、480iの画面をそのまま垂直方向に並べて表示することができる。この場合、画面②～④は、水平方向は縮小により画素が間引かれるが、垂直方向では元の映像そのままの画質となり、画質劣化がない。画面②～④として、480pのアスペクト比4:3の画面を表示してもよい。この場合は、プログレッシブ信号である480pの信号をインターレース信号に変換すればよく、画質劣化は極めて小さい。

【 0 0 3 4 】

図 6 (B) は、アスペクト比 1 6 : 9 の画面の略中央部に、7 2 0 p の信号をインターレース信号に変換した 7 2 0 i のアスペクト比 1 6 : 9 の画面⑤、⑥を垂直方向に並べて表示した場合を示している。この場合も、プログレッシブ信号をインターレース信号に変換するだけであるので、画質劣化は極めて小さい。

【 0 0 3 5 】

図 7 を用いて、以上のようなマルチ画面を実現する構成例について説明する。図 7 に示す構成例は、最大で 4 画面のマルチ画面を実現する場合を示している。入力 1 ~ 4 は、4 8 0 i , 1 0 8 0 i , 4 8 0 p , 7 2 0 p のいずれかの信号である。入力 1 ~ 4 は、I - P 変換部 1 0 の I - P 変換器 1 0 1 ~ 1 0 4 にそれぞれ入力される。入力 1 ~ 4 は、切換部 4 0 の切換器 4 0 1 ~ 4 0 4 にも入力される。切換器 4 0 1 ~ 4 0 4 は、I - P 変換器 1 0 1 ~ 1 0 4 の出力と入力 1 ~ 4 とを、切換制御信号 (S W C T L) に応じて選択的に切り換えて出力する。

【 0 0 3 6 】

前述のように、入力 1 ~ 4 として入力された映像信号が 4 8 0 i や 1 0 8 0 i のようにインターレース信号であれば、I - P 変換器 1 0 1 ~ 1 0 4 によってプログレッシブ信号に変換して後段の拡大縮小部 2 0 に供給する必要がある。入力 1 ~ 4 として入力された映像信号が 4 8 0 p や 7 2 0 p のようにプログレッシブ信号であれば、そのプログレッシブ信号をそのまま後段の拡大縮小部 2 0 に供給する必要がある。切換器 4 0 1 ~ 4 0 4 は、入力信号に応じて I - P 変換器 1 0 1 ~ 1 0 4 の出力を用いるか、入力信号をそのまま用いるかを切り換えるためのものである。なお、切換制御信号 (S W C T L) は、入力 1 ~ 4 のフォーマットを判別することにより容易に生成することができる。

【 0 0 3 7 】

切換部 4 0 の出力は拡大縮小部 2 0 に入力される。拡大縮小部 2 0 は、水平拡大縮小器 2 0 1 H ~ 2 0 4 H と、垂直拡大縮小器 2 0 1 V ~ 2 0 4 V とを備える。垂直拡大縮小器 2 0 1 V ~ 2 0 4 V は、図 1 における拡大縮小部 2 と同じ構成を有する。即ち、垂直拡大縮小器 2 0 1 V ~ 2 0 4 V は、それぞれ、6 / 2 変換器 2 1 と 2 / 1 変換器 2 2 と 4 / 3 変換器 2 3 を備える。但し、垂直拡大縮小器

201V～204Vは、マルチ画面の態様によっては、1440pには変換せず、入力信号をそのまま出力することもある。水平拡大縮小器201H～204Hは、それぞれのマルチ画面に応じて水平方向を拡大もしくは縮小する。

【0038】

図6(A)の例において、図7の入力1～4が画面①～④に対応しているとすると、垂直拡大縮小器201Vは入力1を1440pに変換し、垂直拡大縮小器202V～204Vは入力2～4を1440pに変換せず、480pのまま出力する。図6(B)の例において、図7の入力1, 2が画面①, ②に対応しているとすると、垂直拡大縮小器201Vは入力1, 2を1440pに変換せず、720pのまま出力する。水平拡大縮小器201H～204Hにおける水平方向の縮小はそれぞれの画面の大きさに応じたものである。

【0039】

拡大縮小部20より出力された1440p(場合によっては、480pや720p)の信号は、P-I変換部30のP-I変換器301～304に入力される。P-I変換器301～304は、入力されたプログレッシブ信号をインターレース信号に変換する。なお、ここでは図示を省略しているが、P-I変換器301～304には、フィールド信号が供給され、P-I変換器301～304はフィールド信号に基づいてP-I変換する。

【0040】

P-I変換器301～304の出力は、画面合成部50に入力される。画面合成部50は、P-I変換器301～304の出力を合成して、マルチ画面とされた1440iの映像信号を出力する。

【0041】

以上より分かるように、1440iまたは1440pは、ハードウェア規模の増大を極力抑えつつ、現在存在する480i, 1080i, 480p, 720pの全てを高画質で表示させるという点で実用上極めて優れたフォーマットであると言える。

【0042】

【発明の効果】

以上詳細に説明したように、本発明の映像信号処理装置及び映像信号表示装置は、480i、1080i、480p、720pの映像信号を1440iまたは1440pに変換するようにしたので、ハードウェア規模の小さな補間フィルタで、単一のフォーマットに変換することができる。480i、480p、720pの映像信号は走査線数が倍もしくはそれ以上となるので、極めて高画質となる。インターレース走査である1440iの場合でも、ラインフリッカはほとんど目立たず、高画質な映像を表示することが可能である。さらに、画質劣化の極めて小さいマルチ画面を実現することもできる。

【図面の簡単な説明】

【図1】

本発明の一実施例を示すブロック図である。

【図2】

480p、720p、1080pから1440pへの走査線変換を示す図である。

【図3】

補間フィルタの構成例を示すブロック図である。

【図4】

480p、720p、1080pから1440pへの走査線変換における位相のオフセットを示す図である。

【図5】

P-I変換を示す図である。

【図6】

マルチ画面の表示例を示す図である。

【図7】

図6に示すマルチ画面を実現する場合の本発明の一実施例を示すブロック図である。

【符号の説明】

- 1, 10 インターレースプログレッシブ変換部 (I-P変換部)
- 2, 20 拡大縮小部

3, 30 プログレッシブインターレース変換部 (P-I 変換部)

11, 12, 101~104 I-P 変換器

21 6/2 変換器

22 2/1 変換器

23 4/3 変換器

40 切換部

50 画面合成部

201H~204H 水平拡大縮小器

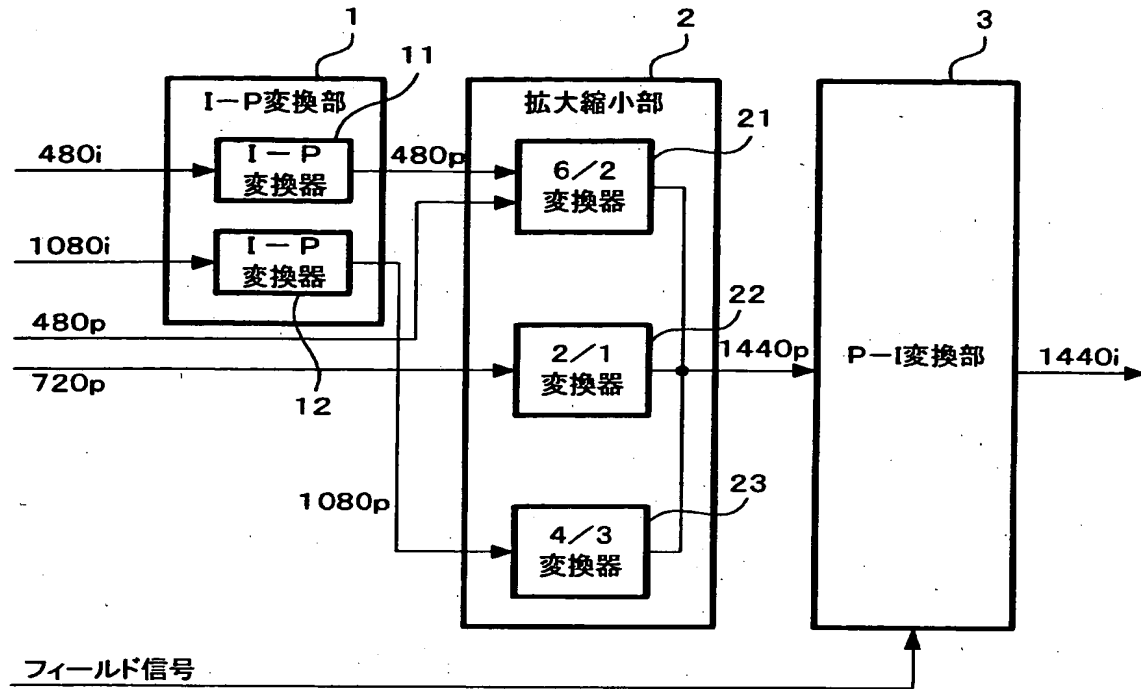
201V~204V 垂直拡大縮小器

301~304 P-I 変換器

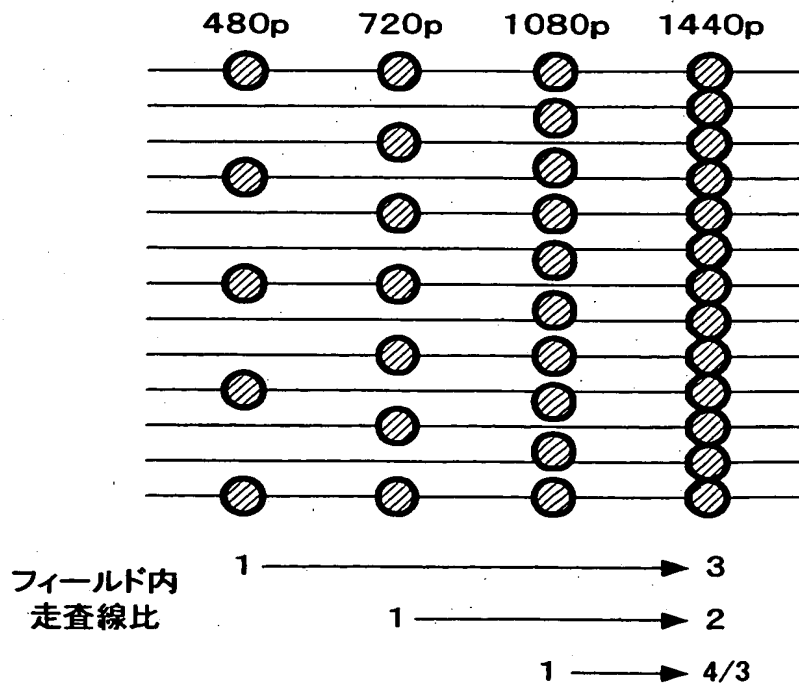
401~404 切換器

【書類名】 図面

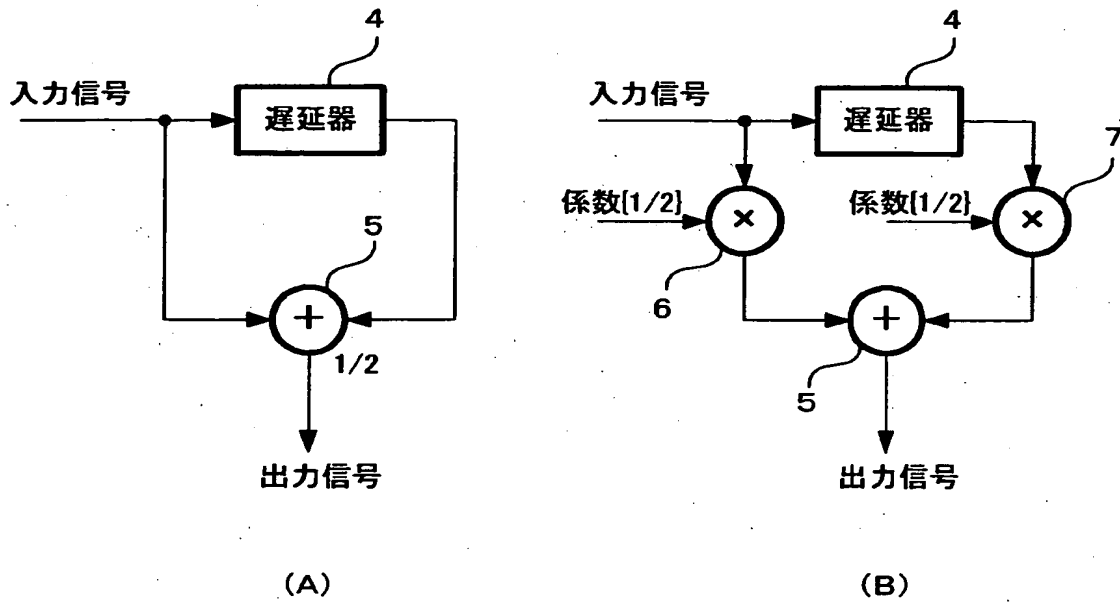
【図 1】



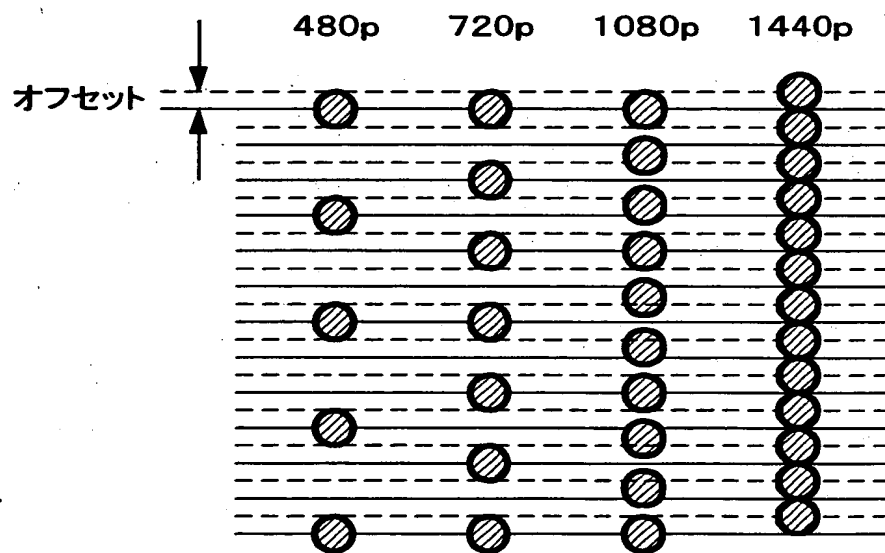
【図 2】



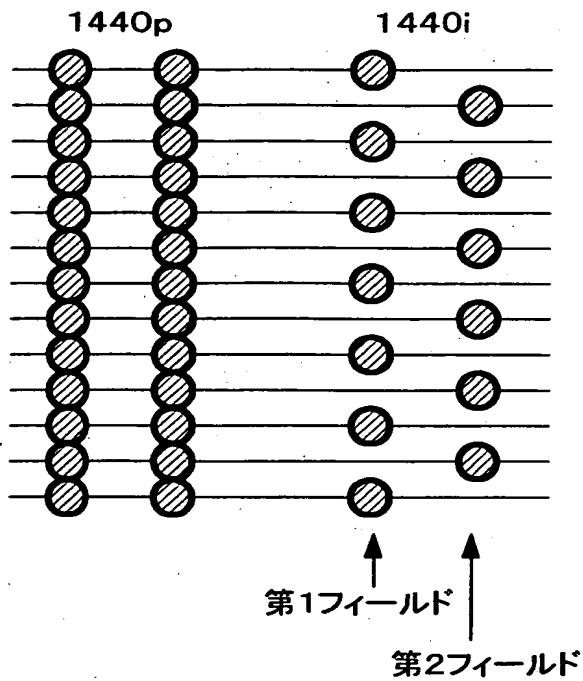
【図 3】



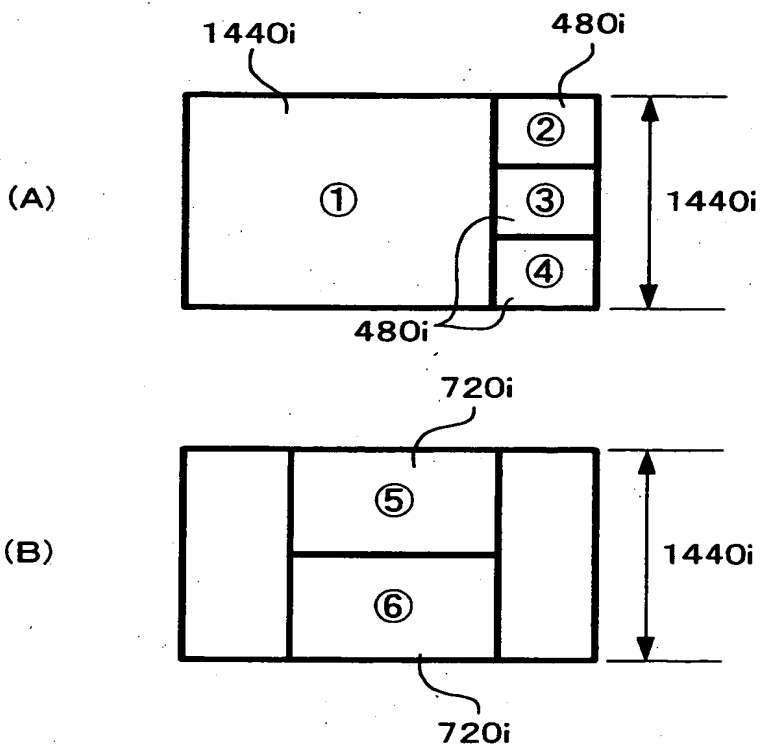
【図 4】



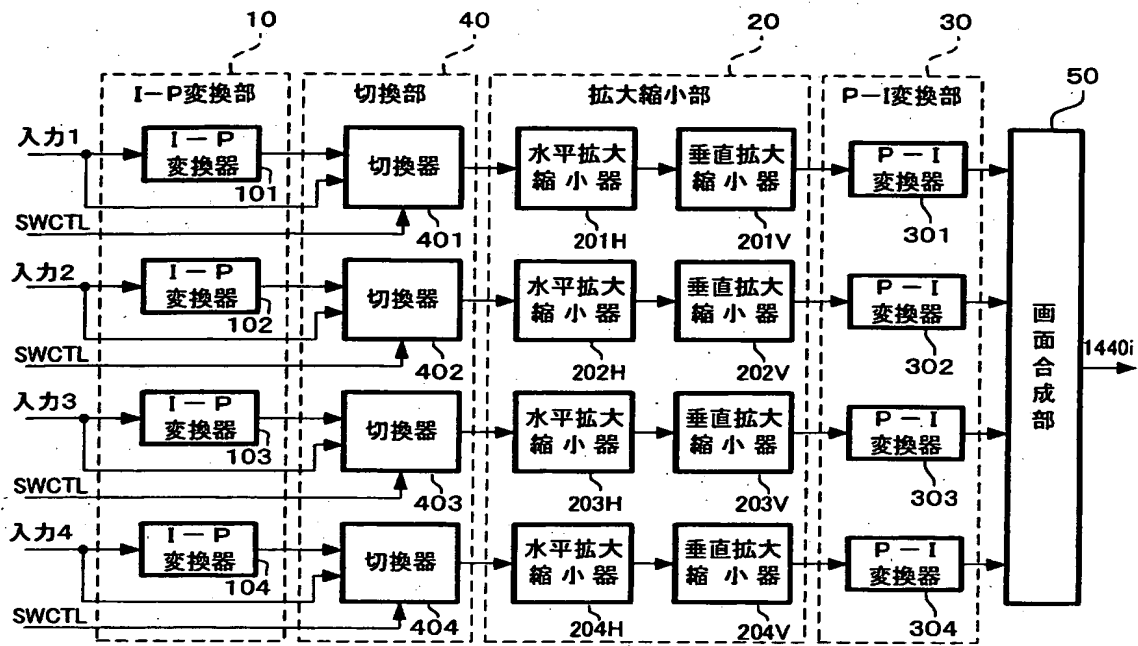
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 複数のフォーマットの映像信号を、ハードウェア規模の小さな補間フィルタで、単一のフォーマットに変換することができる映像信号処理装置及び映像信号表示装置を提供する。

【解決手段】 I-P変換部1は、480i、1080iの信号を480p、1080pに変換する。拡大縮小部2は480p、720p、1080pの信号を1440pに変換する。P-I変換部3は1440pの信号を1440iに変換する。このようにして、全ての信号を1440iの単一フォーマットに統一する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004329]

1. 変更年月日 1990年 8月 8日

[変更理由] 新規登録

住 所 神奈川県横浜市神奈川区守屋町3丁目12番地

氏 名 日本ビクター株式会社